

#5/Priority Paper

3/28/02

EB

日 本 国 特 許 庁

JAPAN PATENT OFFICE

JC986 U.S. PTO
09/993712
11/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月27日

出 願 番 号

Application Number:

特願2000-358775

出 願 人

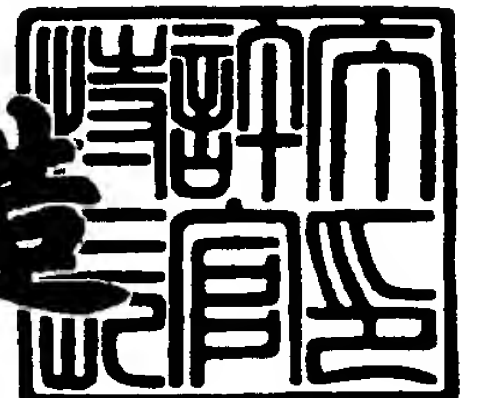
Applicant(s):

松下電器産業株式会社

2001年 9月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3087953

【書類名】 特許願
【整理番号】 2929020056
【提出日】 平成12年11月27日
【あて先】 特許庁長官 殿
【国際特許分類】 H03K 17/687
H01P 1/15

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内
【氏名】 中谷 俊文

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内
【氏名】 伊藤 順治

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内
【氏名】 今西 郁夫

【特許出願人】

【識別番号】 000005843
【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931
【弁理士】
【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134
【弁理士】
【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939
【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

特 2 0 0 0 - 3 5 8 7 7 5

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波スイッチ回路装置

【特許請求の範囲】

【請求項 1】 p 型基板領域を有する半導体基板と、

上記 p 型基板領域に設けられ、ソース、ドレイン、ゲート及び n 型ウェルを有する高周波スイッチング素子として機能する p チャネル型 F E T と、

上記 n 型ウェルに接続され、上記 n 型ウェルに電圧を供給するための電圧供給ノードと、

上記 n 型ウェルと電圧供給ノードとの間に設けられ、上記 n 型ウェルと上記電圧供給ノードとの間に流れる信号の高周波成分を分離するための高周波信号分離手段と

を備えている高周波スイッチ回路装置。

【請求項 2】 請求項 1 記載の高周波スイッチ回路装置において、

上記 n 型ウェルを側方から囲み、上記半導体基板の表面から上記 n 型ウェルよりも深い位置まで下方に延びている絶縁分離層をさらに備えていることを特徴とする高周波スイッチ回路装置。

【請求項 3】 請求項 1 又は 2 記載の高周波スイッチ回路装置において、

上記半導体基板は、絶縁体層の上に上記 n 型ウェルを設けてなる S O I 基板であることを特徴とする高周波スイッチ回路装置。

【請求項 4】 請求項 1 ～ 3 のうちいずれか 1 つに記載の高周波スイッチ回路装置において、

上記 n 型ウェルと接地との間に設けられ、n 型ウェルと接地との間に流れる信号の高周波成分を分離するためのもう 1 つの高周波信号分離手段をさらに備えていることを特徴とする高周波スイッチ回路装置。

【請求項 5】 p 型基板領域を有する半導体基板と、

上記 p 型基板領域に設けられ、ソース、ドレイン、ゲート及び p 型ウェルを有する高周波スイッチング素子として機能する n チャネル型 F E T と、

上記 p 型基板領域と上記 p 型ウェルとの間に設けられ、上記 p 型基板領域と上記 p 型ウェルとの間における高周波信号の流れの障害となる障壁層と、

上記 p 型ウェルと接地との間に設けられ、上記 p 型ウェルと上記接地との間に流れる信号の高周波成分を分離するための高周波信号分離手段とを備えている高周波スイッチ回路装置。

【請求項 6】 請求項 5 記載の高周波スイッチ回路装置において、

上記障壁層は、上記 p 型基板領域と上記 p 型ウェルとの間に設けられた n 型ウェルであり、

上記 n 型ウェルに接続され、上記 n 型ウェルに電圧を供給するための電圧供給ノードと、

上記 n 型ウェルと電圧供給ノードとの間に設けられ、上記 n 型ウェルと上記電圧供給ノードとの間に流れる信号の高周波成分を分離するためのもう 1 つの高周波信号分離手段とをさらに備えていることを特徴とする高周波スイッチ回路装置。

【請求項 7】 請求項 5 又は 6 記載の高周波スイッチ回路装置において、

上記 p 型ウェルを側方から囲み、上記半導体基板の表面から上記 p 型ウェルよりも深い位置まで下方に延びている絶縁分離層をさらに備えていることを特徴とする高周波スイッチ回路装置。

【請求項 8】 請求項 5 ～ 7 のうちいずれか 1 つに記載の高周波スイッチ回路装置において、

上記半導体基板は、絶縁体層の上に上記 p 型ウェルを設けてなる S O I 基板であることを特徴とする高周波スイッチ回路装置。

【請求項 9】 請求項 5 ～ 8 のうちいずれか 1 つに記載の高周波スイッチ回路装置において、

上記 p 型ウェルと接地との間に設けられ、p 型ウェルと接地との間に流れる信号の高周波成分を分離するためのもう 1 つの高周波信号分離手段をさらに備えていることを特徴とする高周波スイッチ回路装置。

【請求項 1 0】 請求項 1 ～ 9 のうちいずれか 1 つに記載の高周波スイッチ回路装置において、

上記高周波信号分離手段は、インダクタであることを特徴とする高周波スイッチ回路装置。

【請求項 1 1】 請求項 1 0 の高周波スイッチ回路装置において、
上記インダクタは、シリコン基板上に形成された渦巻き状の配線であることを特徴とする高周波スイッチ回路装置。

【請求項 1 2】 請求項 1 ～ 9 のうちいずれか 1 つに記載の高周波スイッチ回路装置において、

上記高周波信号分離手段は、抵抗体であることを特徴とする高周波スイッチ回路装置。

【請求項 1 3】 請求項 1 2 記載の高周波スイッチ回路装置において、
上記抵抗体は、上記半導体基板上に形成されたポリシリコン膜であることを特徴とする高周波スイッチ回路装置。

【請求項 1 4】 請求項 1 ～ 9 のうちいずれか 1 つに記載の高周波スイッチ回路装置において、

上記高周波信号分離手段は、通過する信号の波長の 4 分の 1 の奇数倍の線路長を有する分布定数線路であることを特徴とする高周波スイッチ回路装置。

【請求項 1 5】 請求項 1 4 記載の高周波スイッチ回路装置において、
上記分布定数線路は、シリコン基板上に形成された配線であることを特徴とする高周波スイッチ回路装置。

【請求項 1 6】 請求項 3 又は 8 記載の高周波スイッチ回路装置において、
上記 S O I 基板は、酸化シリコンからなる埋め込み絶縁層を有するシリコン基板であることを特徴とする高周波スイッチ回路装置。

【請求項 1 7】 請求項 3 又は 8 記載の高周波スイッチ回路装置において、
上記 S O I 基板は、サファイア基板上にシリコン結晶層をエピタキシャル成長させて構成されていることを特徴とする高周波スイッチ回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体基板上に形成され、高周波信号の通過および遮断を切り替える高周波スイッチ回路装置に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、携帯電話や携帯端末（PDA）に代表される移動体通信機器の技術革新は急激に進歩しており、機器の高機能化、小型軽量化に応えるための半導体集積回路の小型高集積化、低消費電力化への取組みが急ピッチで進んでいる。

【0003】

ここで、移動体通信機器内において、高周波信号を切り替えるための高周波スイッチ回路は、アンテナ回路の送受信の切り換えなどに用いられる重要な回路である。従来、高周波信号を切り替えるためのスイッチング素子としては、ガリウム砒素（GaAs）基板上に設けられたGaAs-FETを用いたものが一般的に知られているが、近年の微細加工技術の進歩により、シリコン基板上に設けられたSi-FETも高周波信号用スイッチング素子として用いられる。GaAs-FETと比較すると、Si-FETは、シリコン基板自体が安価で、かつ、プロセス的にも量産技術が確立していることから、低コストで製造が可能である。また、ガリウム砒素基板を用いた場合には、ガリウム砒素基板が高価なために、できるだけガリウム砒素基板のチップ面積を低減すべく、高周波特性が要求されないデバイスや、高周波特性が必要であっても高い周波数特性が要求されないデバイスは、別途、シリコン基板上に設けるのが一般的である。それに対し、シリコン基板を用いる場合には、高周波信号用スイッチング素子と共に、移動体通信機器に必要な素子（能動素子及び受動素子）をできるだけ1つの基板上に集積してなる集積回路装置を形成することが可能であるという利点がある。

【0004】

その場合、半絶縁性基板を用いるGaAs-FETとは異なり、導体として機能するシリコン基板を用いるSi-FETは、ソース、ドレイン、ゲートに加えて基板電位を固定するためのバックゲート（基板のチャネル下方のウエル領域に相当）をも必要とする、4端子素子である。そのために、Si-FETにおいては、ドレイン-バックゲート間、およびソース-バックゲート間の容量を介して高周波信号がドレインやソースからバックゲートに漏れやすい。つまり、Si-FETの透過損失が大きくなり、スイッチング素子としての性能が劣化するおそれがある。このような不具合を回避するために、従来より、Si-FETにおけ

るバックゲートからの高周波信号の漏れを低減するための工夫がなされている。

【 0 0 0 5 】

図 8 は、従来の高周波スイッチ回路の一例であって、特開平 1 0 - 2 4 2 8 2 6 号公報に記載されている高周波スイッチ回路の電気回路図である。同図に示すように、従来の高周波スイッチ回路は、第 1 のノード P 1 - 第 2 のノード P 2 間に設けられ、互いに直列に接続される第 1, 第 2 のトランジスタ (F E T) 2 0 1, 2 0 2 と、第 1 のノード P 1 - 接地間に設けられた第 3 のトランジスタ (F E T) 2 0 3 と、第 2 のノード P 2 - 接地間に設けられた第 4 のトランジスタ (F E T) 2 0 4 と、各トランジスタ 2 0 1 ~ 2 0 4 のゲートにそれぞれ接続される抵抗器 2 0 5 ~ 2 0 8 と、第 1, 第 2 トランジスタ 2 0 1, 2 0 2 のバックゲート (図 8 に示す B G で示されるノード) - 接地間に設けられた抵抗器 2 0 9 と、トランジスタ 2 0 3 のバックゲート - 接地間に設けられた抵抗器 2 1 0 と、トランジスタ 2 0 4 のバックゲート - 接地間に設けられた抵抗器 2 1 1 とを備えている。そして、第 1, 第 2 のトランジスタ 2 0 1, 2 0 2 間のノードに接続される第 3 のノード P 3 と、第 1 のノード P 1, 第 2 のノード P 2 との接続関係を、制御電圧 V_c , $\neg V_c$ により切り替えるように構成されている。すなわち、制御電圧 V_c により第 1, 第 4 のトランジスタ 2 0 1, 2 0 4 のオンオフを、制御電圧 $\neg V_c$ により第 2, 第 3 のトランジスタ 2 0 2, 2 0 3 のゲート電圧をそれぞれ制御して、各トランジスタをオンオフ動作させることにより、信号の流通経路を、第 1 のノード P 1 - 第 3 のノード P 3 間の経路、または第 2 のノード P 2 - 第 3 のノード P 3 間の経路に切り替えるように構成されている。

【 0 0 0 6 】

この従来の高周波スイッチ回路においては、各トランジスタ 2 0 1 ~ 2 0 4 のバックゲート - 接地間に、それぞれ抵抗器 2 0 5 ~ 2 0 8 が介設されているので、ドレイン - バックゲート間容量又はソース - バックゲート間容量に起因する高周波信号の透過損失を低減することが可能である。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、上記従来の高周波スイッチ回路においては、高周波スイッチ回

路としては、原理的にはドレイン－バックゲート間容量又はソース－バックゲート間容量に起因する高周波信号の透過損失を低減することが可能であるものの、高周波スイッチ回路を有する集積回路装置においては、高周波スイッチ回路における高周波信号の透過損失が大きくなって、高周波スイッチとしての性能が劣化するおそれがある。その理由について、以下に説明する。

【 0 0 0 8 】

複数の回路を1つのシリコン基板上に集積する場合、各トランジスタの寄生発振を防止するため、また、各回路間の分離を行うため、シリコン基板を接地する必要がある。その結果、図8に示す上記公報に記載されている高周波信号用スイッチング素子において、接地に抵抗器を介して接続されているバックゲートは、シリコン基板を介した経路によっても接地に接続されることになる。そのため、バックゲートからシリコン基板を介して接地に高周波信号が漏れ、その結果、透過損失が大きくなる。

【 0 0 0 9 】

本発明の目的は、高周波スイッチング素子を含む高周波スイッチ回路装置において、1つの半導体基板上に他の半導体回路と共に集積化した場合でも、高周波信号の透過損失を低減することにある。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の第1の高周波スイッチ回路は、p型基板領域を有する半導体基板と、上記p型基板領域に設けられ、ソース、ドレイン、ゲート及びn型ウェルを有する高周波スイッチング素子として機能するpチャネル型FETと、上記n型ウェルに接続され、上記n型ウェルに供給される電圧信号が流れる電圧供給ノードと、上記n型ウェルと電圧供給ノードとの間に設けられ、上記n型ウェルと上記電圧供給ノードとの間に流れる信号の高周波成分を分離するための高周波信号分離手段とを備えている。

【 0 0 1 1 】

これにより、pチャネルFETのn型ウェルと電圧供給ノードの間を通過する電圧信号の高周波成分が回路上で遮断される。また、バックゲートに相当するn

型ウェルに電圧が印加されても、n型ウェルとp型基板領域との間で空乏層が拡大するので、半導体基板内においてp型基板領域とn型ウェルとの間における高周波信号の流れが遮断される。したがって、1つの半導体基板に、この高周波スイッチ回路を他の半導体回路と共に集積化した場合でも、n型ウェルを介した信号の漏れを低減でき、高周波信号の透過損失を低減することができる。

【 0 0 1 2 】

上記n型ウェルを側方から囲み、上記半導体基板の表面から上記n型ウェルよりも深い位置まで下方に延びている絶縁分離層をさらに備えることにより、半導体基板の横方向における高周波信号の透過損失をより確実に低減することができる。

【 0 0 1 3 】

上記半導体基板は、絶縁体層の上に上記n型ウェルを設けてなるSOI基板であることにより、半導体基板の縦方向における高周波信号の透過損失をより確実に低減することができる。

【 0 0 1 4 】

上記n型ウェルと接地との間に設けられ、n型ウェルと接地との間に流れる信号の高周波成分を分離するためのもう1つの高周波信号分離手段をさらに備えることにより、バックゲートとなるn型ウェルの電圧をより安定化させつつ、高周波信号の透過損失を抑制することができる。

【 0 0 1 5 】

本発明の第2の高周波スイッチ回路装置は、p型基板領域を有する半導体基板と、上記p型基板領域に設けられ、ソース、ドレイン、ゲート及びp型ウェルを有する高周波スイッチング素子として機能するnチャネル型FETと、上記p型基板領域と上記p型ウェルとの間に設けられ、上記p型基板領域と上記p型ウェルとの間における高周波信号の流れの障害となる障壁層と、上記p型ウェルと接地との間に設けられ、上記p型ウェルと接地との間に流れる信号の高周波成分を分離するための高周波信号分離手段とを備えている。

【 0 0 1 6 】

これにより、nチャネルFETのp型ウェルと接地との間を通過する電圧信号

の高周波成分が回路上で遮断される。また、バックゲートに相当する p 型ウェルに電圧が印加されても、障壁層により、半導体基板内において p 型基板領域と p 型ウェルとの間における高周波信号の流れが遮断される。したがって、1 つの半導体基板に、この高周波スイッチ回路を他の半導体回路と共に集積化した場合でも、p 型ウェルを介した信号の漏れを低減でき、高周波信号の透過損失を低減することができる。

【 0 0 1 7 】

上記障壁層は、上記 p 型基板領域と上記 p 型ウェルとの間に設けられた n 型ウェルであり、上記 n 型ウェルに接続され、上記 n 型ウェルに電圧を供給するための電圧供給ノードと、上記 n 型ウェルと電圧供給ノードとの間に設けられ、上記 n 型ウェルと上記電圧供給ノードとの間に流れる信号の高周波成分を分離するためのもう 1 つの高周波信号分離手段とをさらに備えることにより、p 型ウェル－n 型ウェル－p 型基板領域間に広がる 2 重の空乏層を利用して、高周波信号の透過損失を低減することができる。

【 0 0 1 8 】

上記 p 型ウェルを側方から囲み、上記半導体基板の表面から上記 p 型ウェルよりも深い位置まで下方に延びている絶縁分離層をさらに備えることにより、半導体基板の横方向における高周波信号の透過損失をより確実に低減することができる。

【 0 0 1 9 】

上記半導体基板は、絶縁体層の上に上記 p 型ウェルを設けてなる S O I 基板であることにより、半導体基板の縦方向における高周波信号の透過損失をより確実に低減することができる。

【 0 0 2 0 】

上記 p 型ウェルと接地との間に設けられ、p 型ウェルと接地との間に流れる信号の高周波成分を分離するためのもう 1 つの高周波信号分離手段をさらに備えることにより、バックゲートとなる p 型ウェルの電圧をより安定化させつつ、高周波信号の透過損失を抑制することができる。

【 0 0 2 1 】

上記高周波信号分離手段をインダクタとすることができ、特に、インダクタをシリコン基板上に形成された渦巻き状の配線とすることにより、半導体基板上に F E T と共にインダクタを集積することが容易となり、小型化された集積回路装置を低コストで提供することができる。

【 0 0 2 2 】

上記高周波信号分離手段を抵抗体とすることができ、特に、抵抗体を上記半導体基板上に形成されたポリシリコン膜とすることにより、半導体基板上に F E T と共に抵抗体を集積することが容易となり、小型化された集積回路装置を低コストで提供することができる。

【 0 0 2 3 】

上記高周波信号分離手段を、通過する信号の波長の 4 分の 1 の奇数倍の線路長を有する分布定数線路とすることができ、特に、上記分布定数線路をシリコン基板上に形成された配線とすることにより、半導体基板上に F E T と共に配線を集積することが容易となり、小型化された集積回路装置を低コストで提供することができる。

【 0 0 2 4 】

上記 S O I 基板は、酸化シリコンからなる埋め込み絶縁層を有するシリコン基板であることにより、製造コストが安価な S O I 基板を用いて、高周波スイッチ回路装置のコストの増大を抑制することができる。

【 0 0 2 5 】

上記 S O I 基板は、サファイア基板上にシリコン結晶層をエピタキシャル成長させて構成されていてもよい。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて説明する。

【 0 0 2 7 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態の高周波スイッチ回路装置の回路構成を示す電気回路図である。同図に示すように、本実施形態の高周波スイッチ回路装置に

は、後に説明する図 2 (b) に示すような断面構造を有するスイッチング素子である p チャンネル F E T 1 0 1 (J F E T、以下同じ) が配置されており、p チャンネル F E T 1 0 1 は、シリコン基板上に設けられたソースと、ドレインと、ゲートと、バックゲートに相当する n 型ウェルとを備えている。そして、p チャンネル F E T 1 0 1 のゲートは、制御電圧 V_c を供給するための制御電圧供給ノード 1 1 1 にインダクタ 1 0 2 を介して接続され、バックゲートに相当する n 型ウェルは、固定用電圧 V_{cc} を供給するための固定用電圧供給ノード 1 1 2 にインダクタ 1 0 3 を介して接続されている。また、p チャンネル F E T 1 0 1 のソースは、固定用電圧供給ノード 1 1 2 にはインダクタ 1 0 4 を介して、第 1 のノード 1 1 5 にはキャパシタ 1 0 6 を介してそれぞれ接続されている。さらに、p チャンネル F E T 1 0 1 のドレインは、固定用電圧供給ノード 1 1 2 にはインダクタ 1 0 5 を介して、第 2 のノード 1 1 6 にはキャパシタ 1 0 7 を介してそれぞれ接続されている。また、シリコン基板は接地に接続されている。

【 0 0 2 8 】

ここで、上記各インダクタ 1 0 2 ~ 1 0 5 は、通過する信号の周波数のインピーダンスが第 1 のノード 1 1 5 および第 2 のノード 1 1 6 と比較して十分に大きいように構成されている。また、キャパシタ 1 0 6, 1 0 7 は、第 1, 第 2 のノード 1 1 5, 1 1 6 から p チャンネル F E T 1 0 1 への直流成分の流通を阻止するためのものである。

【 0 0 2 9 】

この構造により、p チャンネル F E T 1 0 1 のバックゲートに相当する n 型ウェルと、p 型シリコン基板の接地につながる p 型基板領域とは、インダクタ 1 0 3 によって高周波的に分離されている、つまり、信号の高周波成分を分離するように構成されている。

【 0 0 3 0 】

なお、図 1 に示す p チャンネル F E T 1 0 1 は、上記図 8 に示す高周波スイッチ回路中の第 1 ~ 第 4 のトランジスタ 2 0 1 ~ 2 0 4 に相当するものであり、第 1, 第 2 のノード 1 1 5, 1 1 6 は、各トランジスタ間のノードに相当するものである。なお、図 8 に示す従来の回路においても、キャパシタは必要に応じて設け

られているものと考えられる。

【 0 0 3 1 】

以上のように構成された高周波スイッチ回路装置について、その動作を説明する。制御電圧供給ノード 1 1 1 から供給される制御電圧 V_c をロー（低）レベルにした場合、pチャネル FET 1 0 1 は導通状態（オン）となり、第 1 のノード 1 1 5 と第 2 のノード 1 1 6 との間に電気信号が流れる。また、制御電圧 V_c をハイ（高）レベルにした場合、pチャネル FET 1 0 1 は開放状態（オフ）となり、第 1 のノード 1 1 5 と第 2 のノード 1 1 6 との間の電気信号の流れは遮断される。したがって、例えば、本実施形態のような pチャネル FET 1 0 1 を配置した高周波スイッチ回路装置を組み合わせ、図 8 に示すような高周波スイッチ回路を構成すれば、移動体通信機器のアンテナ回路に適した高周波スイッチ回路が得られる。また、本実施形態の高周波スイッチ回路装置を、高周波信号の流れの遮断・流通を切り替えるための各種デバイスに配置することができる。

【 0 0 3 2 】

次に、図 1 に示す pチャネル FET 1 0 1 の構造の一例について、図 2（a），（b）を参照しながら説明する。図 2（a），（b）は、それぞれ順に、本実施形態の pチャネル FET の平面図、及び図 2（a）において I I b - I I b 線で示す断面における断面図である。

【 0 0 3 3 】

図 2（a），（b）に示すように、p型シリコン基板 1 0 0 の上部には、n型ウェル層 1 2 2 と、n型ウェル層 1 2 2 の側方を取り囲み、n型ウェル層 1 2 2 と p型シリコン基板 1 0 0 の p型基板領域（p型シリコン基板 1 0 0 のうち n型ウェル層 1 2 2 を除く部分）とを分離絶縁するためのトレンチ分離絶縁層 1 2 1 とが形成されている。そして、以下のような pチャネル FET 1 0 1 の各要素が設けられている。n型ウェル層 1 2 2 の上には、酸化シリコンからなるゲート酸化膜 1 2 3 が設けられ、ゲート酸化膜 1 2 3 の上にはポリシリコンからなるゲート電極 1 2 4 が設けられている。また、n型ウェル層 1 2 2 内におけるゲート電極 1 2 4 の側方には、p型不純物を含むソース層 1 2 5 及びドレイン層 1 2 6 が形成されている。さらに、ソース層 1 2 5 に接続されるソース配線 1 2 7 と、ド

レイン層 1 2 6 に接続されるドレイン配線 1 2 8 と、n 型ウェル層 1 2 2 に接続される n 型ウェル配線 1 2 9 と、p 型シリコン基板 1 0 0 に接続される p 型シリコン基板配線 1 2 0 とが形成されている。なお、図 2 には 2 つの n 型ウェル配線 1 2 9 が設けられている構造が示されているが、n 型ウェル配線 1 2 9 が 1 つだけ設けられている構造であってもよい。

【 0 0 3 4 】

そして、図 2 (b) に示すように、n 型ウェル配線 1 2 9 は、インダクタ 1 0 3 を介して固定用電圧供給ノード 1 1 2 に接続されている。

【 0 0 3 5 】

なお、図 2 (b) には示されていないが、ゲート電極 1 2 4 は、図 1 に示すインダクタ 1 0 2 を介して制御電圧供給ノード 1 1 1 に接続され、ソース配線 1 2 7 は図 1 に示すインダクタ 1 0 4 を介して固定用電圧供給ノード 1 1 2 に、図 1 に示すキャパシタ 1 0 6 を介して第 1 のノード 1 1 5 にそれぞれ接続され、ドレイン配線 1 2 8 は図 1 に示すインダクタ 1 0 5 を介して固定用電圧供給ノード 1 1 2 に、図 1 に示すキャパシタ 1 0 7 を介して第 2 のノード 1 1 6 にそれぞれ接続されている。

【 0 0 3 6 】

また、図 2 (b) には図示されていないが、p 型シリコン基板 1 0 0 の上に、上述の各インダクタやキャパシタが形成されていてもよいし、インダクタやキャパシタはディスクリートのチップインダクタ、チップコンデンサとして設けられていてもよい。

【 0 0 3 7 】

図 2 (a), (b) に示す高周波スイッチ回路装置において、固定用電圧供給ノード 1 1 2 に正の制御電圧 V_c が印加されると、p 型シリコン基板 1 0 0 の p 型基板領域と n 型ウェル層 1 2 2 (バックゲート) との間には逆バイアスが印加されることになるので、両者の境界に形成される p n 接合部における空乏層が拡大し、p 型シリコン基板 1 0 0 の p 型基板領域と n 型ウェル層 1 2 2 (バックゲート) とは縦方向に絶縁分離された状態となる。

【 0 0 3 8 】

次に、本実施形態の高周波スイッチ回路装置による作用効果について、図 1 及び図 2 (a), (b) を参照しながら説明する。

【 0 0 3 9 】

本発明の第 1 の実施形態における高周波スイッチ回路装置は、図 1 に示すように、p チャネル FET 1 0 1 のバックゲートに相当する n 型ウェル (n 型ウェル層 1 2 2) と固定用電圧供給ノード 1 1 2 との間にインダクタ 1 0 3 を設けているので、p チャネル FET 1 0 1 の n 型ウェルと固定用電圧供給ノード 1 1 2 との間を通過する信号 (固定用電圧 V_{cc}) の高周波成分が回路上で遮断される。また、FET を p チャネル FET として、p 型シリコン基板 1 0 0 の p 型基板領域とバックゲートに相当する n 型ウェル層 1 2 2 との間に、固定用電圧に対して逆バイアスとなる p n 接合部 (空乏層) が形成される構造としているので、p 型シリコン基板 1 0 0 内において、p 型基板領域と n 型ウェルとの間における高周波信号の流れが遮断される。よって、p 型シリコン基板 1 0 0 に、この高周波スイッチ回路と他の半導体回路とを共に集積化した場合でも、バックゲートを介した信号の漏れを低減でき、高周波信号の透過損失を低減することができる。

【 0 0 4 0 】

さらに、n 型ウェル層 1 2 2 と p 型シリコン基板 1 0 0 の p 型基板領域とは、横方向においてはトレンチ分離絶縁層 1 2 1 によって高周波的に分離されている。つまり、p 型シリコン基板 1 0 0 の横方向における高周波信号の流れが遮断される。よって、表面付近で特に大きくなる高周波信号の透過損失をより確実に低減することができる。

【 0 0 4 1 】

－第 1 の実施形態の変形例－

次に、本発明の第 1 の実施形態の変形例について説明する。本変形例における高周波スイッチ回路装置の回路構成は、図 1 に示す電気回路図のとおりなので、本変形例では回路構成の図示を省略する。図 3 (a), (b) は、それぞれ順に、この変形例における高周波スイッチ回路装置の平面図、及び図 3 (a) において IIIb-IIIb 線で示す断面における断面図である。

【 0 0 4 2 】

図 3 (a), (b) に示すように、この変形例においては、p 型シリコン半導体基板 1 0 0 の表面から一定深さだけ下方に酸化シリコンからなる埋め込み絶縁膜 1 3 1 が形成されている。そして、埋め込み絶縁膜 1 3 1 の上方に、n 型ウェル層 1 2 2 と、p 型シリコン層 1 3 3 と、n 型ウェル層 1 2 2 の側方を取り囲み、n 型ウェル層 1 2 2 と p 型シリコン層 1 3 3 とを横方向で分離絶縁するためのトレンチ分離絶縁層 1 2 1 とが形成されている。この変形例では、p 型シリコン基板 1 0 0 のうち埋め込み絶縁膜 1 3 1 よりも下方の領域と、p 型シリコン層 1 3 3 とが p 型基板領域となっている。

【 0 0 4 3 】

そして、p チャネル FET 1 0 1 a のゲート酸化膜 1 2 3 と、ゲート電極 1 2 4 と、ソース層 1 2 5 及びドレイン層 1 2 6 と、ソース配線 1 2 7 と、ドレイン配線 1 2 8 と、n 型ウェル配線 1 2 9 とが設けられている点は、上記図 2 に示す第 2 の実施形態と同様である。ただし、本変形例においては、シリコン基板配線 1 2 0 は、埋め込み絶縁膜 1 3 1 の上方に設けられた p 型シリコン層 1 3 3 が接地に接続されている。

【 0 0 4 4 】

また、図 3 に示すように、n 型ウェル配線 1 2 9 が、インダクタ 1 0 3 を介して固定用電圧供給ノード 1 1 2 に接続されている点は、図 2 に示す第 1 の実施形態における構造と同様である。

【 0 0 4 5 】

さらに、図 3 には示されていないが、ゲート電極 1 2 4 は、図 1 に示すインダクタ 1 0 2 を介して制御電圧供給ノード 1 1 1 に接続され、ソース配線 1 2 7 は図 1 に示すインダクタ 1 0 4 を介して固定用電圧供給ノード 1 1 2 に図 1 に示すキャパシタ 1 0 4 を介して第 1 のノード 1 1 5 にそれぞれ接続され、ドレイン配線 1 2 8 は図 1 に示すインダクタ 1 0 5 を介して固定用電圧供給ノード 1 1 2 に図 1 に示すキャパシタ 1 0 5 を介して第 2 のノード 1 1 6 にそれぞれ接続されている点も、図 2 に示す第 1 の実施形態における構造と同様である。

【 0 0 4 6 】

なお、図 3 には図示されていないが、p 型シリコン基板 1 0 0 の上に、上述の

各インダクタやキャパシタが形成されていてもよいし、インダクタやキャパシタはディスクリートのチップインダクタ、チップコンデンサとして設けられていてもよい。

【 0 0 4 7 】

以上のように、本変形例の高周波スイッチ回路装置においても、pチャネルFET 1 0 1 aのバックゲートに相当するn型ウェル 1 2 2と固定用電圧供給ノード 1 1 2との間にインダクタ 1 0 3を設けているので、pチャネルFET 1 0 1 aのn型ウェル 1 2 2（バックゲート）と固定用電圧供給ノード 1 1 2との間を通過する信号（固定用電圧Vcc）の高周波成分が遮断される。また、埋め込み絶縁膜である埋め込み絶縁膜 1 3 1により、p型シリコン層 1 3 3（p型基板領域）とバックゲートに相当するn型ウェル層 1 2 2との間における高周波信号の流れが遮断される。したがって、上記第1の実施形態の効果をより確実に発揮することができる。

【 0 0 4 8 】

ここで、第1の実施形態及びその変形例において、1つのp型シリコン基板 1 0 0に、pチャネルFET 1 0 1と共に、インダクタ 1 0 2～1 0 5を設けておくことが好ましい。ここで、各インダクタ 1 0 2～1 0 5は、例えば渦巻き状の導体配線によって構成することができる。インダクタ 1 0 2～1 0 5をシリコン半導体に集積化することにより、高周波スイッチ回路装置の小型化、低コスト化が可能となる。

【 0 0 4 9 】

なお、以上の説明では、バックゲートに相当するn型ウェルと固定用電圧供給ノードとの間における高周波信号の流れを遮断する手段（高周波信号分離手段）として、インダクタを設けた例について説明したが、ポリシリコンからなる抵抗体、または通過する信号の波長の4分の1の奇数倍の線路長を有する配線など、その他の要素を設け、当該FETで扱われる信号のうちの高周波成分を分離する手段としても、第1の実施形態又はその変形例と同様の効果を発揮することができる。

【 0 0 5 0 】

さらに、第 1 の実施形態の変形例においては、S O I 基板として、p 型シリコン基板 1 0 0 とバックゲートに相当する n 型ウェル層 1 2 2 とを埋め込み絶縁膜 1 3 1 により分離したものについて説明したが、絶縁体基板上に半導体層を有する S O I 基板を用いてもよいことは言うまでもない。例えば、サファイア基板やスピネル基板上にシリコン単結晶層をエピタキシャル成長させたものがあり、これらを用いてもよい。

【 0 0 5 1 】

(第 2 の実施形態)

図 4 は、本発明の第 2 の実施形態の高周波スイッチ回路装置の回路構成を示す電気回路図である。同図に示すように、本実施形態の高周波スイッチ回路装置には、後に説明する図 5 (b) に示すような断面構造を有するスイッチング素子であるトリプルウェル n チャンネル F E T 1 4 1 が配置されており、トリプルウェル n チャンネル F E T 1 4 1 は、シリコン基板上に設けられたソースと、ドレインと、ゲートと、バックゲートに相当する p 型ウェルと、n 型ウェルとを備えている。そして、トリプルウェル n チャンネル F E T 1 4 1 のゲートは、制御電圧 V_c を供給するための制御電圧供給ノード 1 5 1 にインダクタ 1 4 2 を介して接続され、バックゲートに相当する p 型ウェルはインダクタ 1 4 4 を介して接地に接続され、n 型ウェルは固定用電圧 V_{cc} を供給するための固定用電圧供給ノード 1 5 2 にインダクタ 1 4 3 を介して接続されている。また、トリプルウェル n チャンネル F E T 1 4 1 のソースは、固定用電圧供給ノード 1 5 2 にはインダクタ 1 4 4 を介して、第 1 のノード 1 5 5 にはキャパシタ 1 4 6 を介してそれぞれ接続されている。さらに、トリプルウェル n チャンネル F E T 1 4 1 のドレインは、固定用電圧供給ノード 1 5 2 にはインダクタ 1 4 5 を介して、第 2 のノード 1 5 6 にはキャパシタ 1 4 7 を介してそれぞれ接続されている。また、シリコン基板は接地に接続されている。

【 0 0 5 2 】

ここで、上記各インダクタ 1 4 2 ~ 1 4 6 は、通過する信号の周波数のインピーダンスが第 1 のノード 1 5 5 および第 2 のノード 1 5 6 と比較して十分に大きいように構成されている。また、キャパシタ 1 4 7, 1 4 8 は、第 1, 第 2 のノ

ード 1 5 5, 1 5 6 からトリプルウェル n チャンネル F E T 1 4 1 への直流成分の流通を阻止するためのものである。

【 0 0 5 3 】

この構造により、トリプルウェル n チャンネル F E T 1 4 1 のバックゲートに相当する p 型ウェルと、p 型シリコン基板の接地につながる p 型基板領域とは、インダクタ 1 4 4 によって高周波的に分離されている。つまり、信号の高周波成分の流れが遮断されている。

【 0 0 5 4 】

なお、図 4 に示すトリプルウェル n チャンネル F E T 1 4 1 は、上記図 8 に示す高周波スイッチ回路中の第 1 ～第 4 のトランジスタ 2 0 1 ～2 0 4 に相当するものであり、第 1, 第 2 のノード 1 5 5, 1 5 6 は、各トランジスタ間のノードに相当するものである。なお、図 8 に示す従来の回路においても、キャパシタは必要に応じて設けられているものと考えられる。

【 0 0 5 5 】

以上のように構成された高周波スイッチ回路装置について、その動作を説明する。制御電圧供給ノード 1 5 1 から供給される制御電圧 V_c をハイ（高）レベルにした場合、トリプルウェル n チャンネル F E T 1 4 1 は導通状態（オン）となり、第 1 のノード 1 5 5 と第 2 のノード 1 5 6 との間に電気信号が流れる。また、制御電圧 V_c をロー（低）レベルにした場合、トリプルウェル n チャンネル F E T 1 4 1 は開放状態（オフ）となり、第 1 のノード 1 5 5 と第 2 のノード 1 5 6 との間の電気信号の流れは遮断される。

【 0 0 5 6 】

例えば、本実施形態のようなトリプルウェル n チャンネル F E T 1 4 1 を配置した高周波スイッチ回路装置を組み合わせて、図 8 に示すような高周波スイッチ回路を構成すれば、移動体通信機器のアンテナ回路に適した高周波スイッチ回路が得られる。また、本実施形態の高周波スイッチ回路装置を、高周波信号の流れの遮断・流通を切り替えるための各種デバイスに配置することができる。

【 0 0 5 7 】

次に、図 4 に示すトリプルウェル n チャンネル F E T 1 4 1 の構造の一例につい

て、図 5 (a), (b) を参照しながら説明する。図 5 (a), (b) は、それぞれ順に、本実施形態のトリプルウェル n チャンネル FET の平面図、及び図 5 (a) において Vb-Vb 線で示す断面における断面図である。

【 0 0 5 8 】

図 5 (a), (b) に示すように、p 型シリコン半導体である p 型シリコン基板層 1 4 0 の上部には、n 型ウェル層 1 7 1 と、p 型ウェル層 1 6 2 と、n 型ウェル層 1 7 1 の側方を取り囲み、n 型ウェル層 1 7 1 と p 型シリコン基板 1 4 0 の p 型基板領域とを分離絶縁するためのトレンチ分離絶縁層 1 6 1 とが形成されている。そして、以下のようなトリプルウェル n チャンネル FET 1 4 1 の各要素が設けられている。p 型ウェル層 1 6 2 の上には、酸化シリコンからなるゲート酸化膜 1 6 3 が設けられ、ゲート酸化膜 1 6 2 の上にはポリシリコンからなるゲート電極 1 6 4 が設けられている。また、p 型ウェル層 1 6 2 内におけるゲート電極 1 6 4 の側方には、n 型不純物を含むソース層 1 6 5 及びドレイン層 1 6 6 が形成されている。さらに、ソース層 1 6 5 に接続されるソース配線 1 6 7 と、ドレイン層 1 6 6 に接続されるドレイン配線 1 6 8 と、p 型ウェル層 1 6 2 に接続される p 型ウェル配線 1 6 9 と、n 型ウェル層 1 7 1 に接続される n 型ウェル配線 1 7 3 と、p 型シリコン基板 1 4 0 に接続される p 型シリコン基板配線 1 7 0 とが形成されている。

【 0 0 5 9 】

そして、図 5 (b) に示すように、p 型ウェル配線 1 6 9 は、インダクタ 1 4 4 を介して接地に接続され、ソース配線 1 6 7 はインダクタ 1 4 5 を介して接地に接続され、ドレイン配線 1 6 8 はインダクタ 1 4 6 を介して接地に接続されている。なお、図 5 (b) には示されていないが、ゲート電極 1 6 4 は、図 4 に示すインダクタ 1 4 2 を介して制御電圧供給ノード 1 5 1 に接続され、ソース配線 1 6 7 は図 4 に示すキャパシタ 1 4 7 を介して第 1 のノード 1 5 5 に接続され、ドレイン配線 1 6 8 は図 4 に示すキャパシタ 1 4 8 を介して第 2 のノード 1 5 6 にそれぞれ接続されている。この第 1, 第 2 のノード 1 5 6, 1 5 7 は、例えば隣接する FET との間に設けられた配線や、外部機器に接続するための外部信号接続端子（出力端子又は入力端子）である。

【0060】

また、図5（b）には図示されていないが、p型シリコン基板140の上に、上述の各インダクタやキャパシタが形成されていてもよいし、インダクタやキャパシタはディスクリートのチップインダクタ、チップコンデンサとして設けられていてもよい。

【0061】

図5（a），（b）に示す高周波スイッチ回路装置において、固定用電圧供給ノード152に正の制御電圧 V_c が印加されると、p型シリコン基板140のp型基板領域とn型ウェル層171の間には逆バイアスが印加されることになるので、両者の境界に形成されるpn接合部における空乏層が拡大し、p型シリコン基板140のp型基板領域とn型ウェル層171とは縦方向に分離される。このとき、p型ウェル層162とn型ウェル層171の間にも逆バイアスが印加されるので、両者の境界のpn接合部における空乏層が拡大し、p型ウェル層162とn型ウェル層171とは分離される。

【0062】

次に、本実施形態の高周波スイッチ回路装置による作用効果について、図4及び図5（a），（b）を参照しながら説明する。

【0063】

本発明の第2の形態における高周波スイッチ回路装置は、図4に示すように、トリプルウェルnチャネルFET141のバックゲートに相当するp型ウェル（p型ウェル層162）と接地との間にインダクタ144が設けられているので、トリプルウェルnチャネルFET141のp型ウェルと接地との間を通過する信号の高周波成分が回路上で遮断される。また、p型シリコン基板140のp型基板領域とp型ウェル層162との間にn型ウェル層171を設け、このn型ウェル層171を、p型シリコン基板140のp型基板領域とp型ウェル層162との間における高周波信号を遮断するための障壁層として機能させている。すなわち、n型ウェル層171の間と、バックゲートとなるp型ウェル層162とn型ウェル層171との間に、固定用電圧に対して逆バイアスとなるpn接合部（空乏層）が形成される構造としているので、この2重の空乏層により、p型シリ

コン基板 1 4 0 内において、p 型基板領域と p 型ウェル層 1 6 2 との間における高周波信号の流れが遮断される。よって、p 型シリコン基板 1 0 0 に、この高周波スイッチ回路と他の半導体回路とを共に集積化した場合でも、バックゲートを介した信号の漏れを低減でき、高周波信号の透過損失を低減することができる。

【 0 0 6 4 】

さらに、n 型ウェル層 1 7 1 と p 型シリコン基板 1 4 0 の p 型基板領域とは、横方向においてはトレンチ分離絶縁層 1 6 1 によって分離されている。つまり、p 型シリコン基板 1 4 0 の横方向における高周波信号の流れが遮断される。よって、表面付近で特に大きくなる高周波信号の透過損失をより確実に低減することができる。

【 0 0 6 5 】

ここで、第 2 の実施形態において、1 つの p 型シリコン基板 1 4 0 に、トリプルウェル n チャネル F E T 1 4 1 と共に、インダクタ 1 4 2 ~ 1 4 5 を設けておくことが好ましい。ここで、各インダクタ 1 4 2 ~ 1 4 5 は、例えば渦巻き状の配線によって構成することができる。インダクタ 1 4 2 ~ 1 4 5 をシリコン半導体に集積化することにより、高周波スイッチ回路装置の小型化、低コスト化が可能となる。

【 0 0 6 6 】

なお、以上の説明では、バックゲートに相当する p 型ウェルと固定用電圧供給ノードとの間における高周波信号の流れを遮断する手段（高周波信号分離手段）として、インダクタを設けた例について説明したが、ポリシリコンからなる抵抗体、または通過する信号の波長の 4 分の 1 の奇数倍の線路長を有する配線など、その他の要素を設け、当該 F E T で扱われる信号のうちの高周波成分を分離する手段としても、第 2 の実施形態と同様の効果を発揮することができる。

【 0 0 6 7 】

（第 3 の実施形態）

図 6 は、本発明の第 3 の実施形態の高周波スイッチ回路装置の回路構成を示す電気回路図である。同図に示すように、本実施形態の高周波スイッチ回路装置には、後に説明する図 7（b）に示すような断面構造を有するスイッチング素子で

ある n チャンネル F E T 1 4 1 a が配置されており、n チャンネル F E T 1 4 1 a は、シリコン基板上に設けられたソースと、ドレインと、ゲートと、バックゲートに相当する p 型ウェルとを備えている。そして、n チャンネル F E T 1 4 1 a のゲートは、制御電圧 V_c を供給するための制御電圧供給ノード 1 5 1 にインダクタ 1 4 2 を介して接続され、バックゲートに相当する p 型ウェルはインダクタ 1 4 4 を介して接地に接続されている。また、n チャンネル F E T 1 4 1 a のソースは、固定用電圧供給ノード 1 5 2 にはインダクタ 1 4 4 を介して、第 1 のノード 1 5 5 にはキャパシタ 1 4 6 を介してそれぞれ接続されている。さらに、n チャンネル F E T 1 4 1 a のドレインは、固定用電圧供給ノード 1 5 2 にはインダクタ 1 4 5 を介して、第 2 のノード 1 5 6 にはキャパシタ 1 4 7 を介してそれぞれ接続されている。また、シリコン基板は接地に接続されている。

【 0 0 6 8 】

ここで、上記各インダクタ 1 4 2, 1 4 4 ~ 1 4 6 は、通過する信号の周波数のインピーダンスが第 1 のノード 1 5 5 および第 2 のノード 1 5 6 と比較して十分に大きいように構成されている。また、キャパシタ 1 4 7, 1 4 8 は、第 1, 第 2 のノード 1 5 5, 1 5 6 から n チャンネル F E T 1 4 1 a への直流成分の流通を阻止するためのものである。こ実施形態では、p 型シリコン基板 1 4 0 のうち埋め込み絶縁膜 1 7 6 よりも下方の領域と、p 型シリコン層 1 7 5 とが p 型基板領域となっている。

【 0 0 6 9 】

この構造により、n チャンネル F E T 1 4 1 a のバックゲートに相当する p 型ウェルと、接地につながる p 型シリコン層 1 7 5 とは、インダクタ 1 4 4 によって高周波的に分離されている。つまり、信号の高周波成分の流れが遮断されている。

【 0 0 7 0 】

なお、図 6 に示す n チャンネル F E T 1 4 1 a は、上記図 8 に示す高周波スイッチ回路中の第 1 ~ 第 4 のトランジスタ 2 0 1 ~ 2 0 4 に相当するものであり、第 1, 第 2 のノード 1 5 5, 1 5 6 は、各トランジスタ間のノードに相当するものである。なお、図 8 に示す従来の回路においても、キャパシタは必要に応じて設

けられているものと考えられる。

【 0 0 7 1 】

以上のように構成された高周波スイッチ回路装置について、その動作を説明する。制御電圧供給ノード 1 5 1 から供給される制御電圧 V_c をハイ（高）レベルにした場合、 n チャネル FET 1 4 1 a は導通状態（オン）となり、第 1 のノード 1 5 5 と第 2 のノード 1 5 6 との間に電気信号が流れる。また、制御電圧 V_c をロー（低）レベルにした場合、 n チャネル FET 1 4 1 a は開放状態（オフ）となり、第 1 のノード 1 5 5 と第 2 のノード 1 5 6 との間の電気信号の流れは遮断される。

【 0 0 7 2 】

例えば、本実施形態のような n チャネル FET 1 4 1 a を配置した高周波スイッチ回路装置を組み合わせて、図 8 に示すような高周波スイッチ回路を構成すれば、移動体通信機器のアンテナ回路に適した高周波スイッチ回路が得られる。また、本実施形態の高周波スイッチ回路装置を、高周波信号の流れの遮断・流通を切り替えるための各種デバイスに配置することができる。

【 0 0 7 3 】

次に、図 6 に示す n チャネル FET 1 4 1 a の構造の一例について、図 7（a），（b）を参照しながら説明する。図 7（a），（b）は、それぞれ順に、本実施形態の n チャネル FET の平面図、及び図 7（a）において VIIb-VIIb 線で示す断面における断面図である。

【 0 0 7 4 】

図 7（a），（b）に示すように、 p 型シリコン半導体基板 1 4 0 の表面から一定深さだけ下方に酸化シリコンからなる埋め込み絶縁膜 1 7 6 が形成されている。そして、埋め込み絶縁膜 1 7 6 の上方に、 p 型ウェル層 1 6 2 と、 p 型シリコン層 1 7 5 と、 p 型ウェル層 1 6 2 の側方を取り囲み、 p 型ウェル層 1 6 2 と p 型シリコン層 1 7 5 とを横方向で分離絶縁するためのトレンチ分離絶縁層 1 6 1 とが形成されている。

【 0 0 7 5 】

そして、以下のような n チャネル FET 1 4 1 a の各要素が設けられている。

p 型ウェル層 1 6 2 の上には、酸化シリコンからなるゲート酸化膜 1 6 3 が設けられ、ゲート酸化膜 1 6 2 の上にはポリシリコンからなるゲート電極 1 6 4 が設けられている。また、p 型ウェル層 1 6 2 内におけるゲート電極 1 6 4 の側方には、n 型不純物を含むソース層 1 6 5 及びドレイン層 1 6 6 が形成されている。さらに、ソース層 1 6 5 に接続されるソース配線 1 6 7 と、ドレイン層 1 6 6 に接続されるドレイン配線 1 6 8 と、p 型ウェル層 1 6 2 に接続される p 型ウェル配線 1 6 9 と、p 型シリコン層 1 7 5 に接続される p 型シリコン基板配線 1 7 0 とが形成されている。

【 0 0 7 6 】

そして、図 7 (b) に示すように、p 型ウェル配線 1 6 9 は、インダクタ 1 4 4 を介して接地に接続され、ソース配線 1 6 7 はインダクタ 1 4 5 を介して接地に接続され、ドレイン配線 1 6 8 はインダクタ 1 4 6 を介して接地に接続され、p 型基板領域 1 7 5 は接地に接続されている。なお、図 7 (b) には示されていないが、ゲート電極 1 6 4 は、図 6 に示すインダクタ 1 4 2 を介して制御電圧供給ノード 1 5 1 に接続され、ソース配線 1 6 7 は図 6 に示すキャパシタ 1 4 7 を介して第 1 のノード 1 5 5 に接続され、ドレイン配線 1 6 8 は図 6 に示すキャパシタ 1 4 8 を介して第 2 のノード 1 5 6 にそれぞれ接続されている。この第 1、第 2 のノード 1 5 6、1 5 7 は、例えば隣接する F E T との間に設けられた配線や、外部機器に接続するための外部信号接続端子（出力端子又は入力端子）である。

【 0 0 7 7 】

また、図 7 (b) には図示されていないが、p 型シリコン基板 1 4 0 の上に、上述の各インダクタやキャパシタが形成されていてもよいし、インダクタやキャパシタはディスクリートのチップインダクタ、チップコンデンサとして設けられていてもよい。

【 0 0 7 8 】

次に、本実施形態の高周波スイッチ回路装置による作用効果について、図 6 及び図 7 (a)、(b) を参照しながら説明する。

【 0 0 7 9 】

本発明の第 3 の形態における高周波スイッチ回路装置は、図 6 に示すように、
n チャネル F E T 1 4 1 a のバックゲートに相当する p 型ウェル（p 型ウェル層
1 6 2）と接地との間にインダクタ 1 4 4 が設けられているので、n チャネル F
E T 1 4 1 a の p 型ウェルと接地との間を通過する信号の高周波成分が回路上で
遮断される。また、p 型シリコン基板 1 4 0 内に埋め込み絶縁膜 1 7 6 を設け、
この埋め込み絶縁膜 1 7 6 を、p 型シリコン基板 1 4 0 の p 型基板領域と p 型ウ
ェル層 1 6 2 との間における高周波信号を遮断するための障壁層として機能させ
ている。すなわち、p 型シリコン基板 1 4 0 内において、埋め込み絶縁膜 1 7 6
により、p 型半導体基板 1 4 0 と p 型ウェル（バックゲート）との間における高
周波信号の流れが遮断される。よって、p 型シリコン基板 1 4 0 に、この高周波
スイッチ回路とを他の半導体回路とを共に集積化した場合でも、バックゲートを
介した信号の漏れを低減でき、高周波信号の透過損失を低減することができる。

【 0 0 8 0 】

ここで、第 3 の実施形態において、1 つの p 型シリコン基板 1 4 0 に、n チャ
ネル F E T 1 4 1 a と共に、インダクタ 1 4 2 ~ 1 4 5 を設けておくことが好ま
しい。各インダクタ 1 4 2 ~ 1 4 5 は、例えば渦巻き状の配線によって構成する
ことができる。インダクタ 1 4 2 ~ 1 4 5 をシリコン半導体に集積化することによ
り、高周波スイッチ回路装置の小型化、低コスト化が可能となる。

【 0 0 8 1 】

なお、以上の説明では、バックゲートに相当する p 型ウェルと固定用電圧供給
ノードとの間における高周波信号の流れを遮断する手段（高周波信号分離手段）
として、インダクタを設けた例について説明したが、ポリシリコンからなる抵抗
体、または通過する信号の波長の 4 分の 1 の奇数倍の線路長を有する配線など、
その他の要素を設け、当該 F E T で扱われる信号のうちの高周波成分を分離する
手段としても、第 3 の実施形態と同様の効果を発揮することができる。

【 0 0 8 2 】

さらに、第 3 の実施形態においては、S O I 基板として、p 型シリコン基板 1
4 0 とバックゲートに相当する n 型ウェル層 1 6 2 とを埋め込み絶縁膜 1 7 6 に
より分離したものについて説明したが、絶縁体基板上に半導体層を有する S O I

基板を用いてもよいことは言うまでもない。例えば、サファイア基板やスピネル基板上にシリコン単結晶層をエピタキシャル成長させたものがあり、これらを用いてもよい。

【0083】

また、図9に示すように、第1、第2の実施形態における固定用電圧供給ノード112（152）は、実際には、電源電圧 V_{dd} を供給するための電源電圧供給ノード190に抵抗体 R_1 を介して接続されることが多いが、このとき、同時に固定用電圧供給ノード112（152）と接地との間に抵抗体 R_2 を介在させておくことにより、バックゲートの電圧をより安定化させつつ、高周波信号の透過損失を抑制することができる。

【0084】

上記各実施形態においては、半導体基板としてシリコン層のみを有する半導体基板を用いたが、本発明は斯かる実施形態に限定されるものではなく、 $SiGe$ 層や $SiGeC$ 層を有する半導体基板を利用してもよい。

【0085】

【発明の効果】

以上説明したように、本発明の高周波スイッチ回路装置は、FETのバックゲートと電圧供給ノードまたは接地の間に高周波信号分離手段を設け、さらにシリコン基板とFETのバックゲートを高周波的に分離することにより、他の半導体回路と共に集積化した場合でも、バックゲートを介した信号の漏れを低減でき、高周波信号の透過損失を低減することができるという効果を有する。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態の高周波スイッチ回路装置の回路構成を示す電気回路図である。

【図2】

(a)、(b)は、それぞれ順に、本実施形態のpチャネルFETの平面図、及びI1b-I1b線で示す断面における断面図である。

【図3】

(a), (b) は、それぞれ順に、第 1 の実施形態の変形例における高周波スイッチ回路装置の平面図、及びIIIb-IIIb線で示す断面における断面図である。

【図 4】

本発明の第 2 の実施形態の高周波スイッチ回路装置の回路構成を示す電気回路図である。

【図 5】

(a), (b) は、それぞれ順に、第 2 の実施形態のトリプルウェル n チャネル FET の平面図、及びVb-Vb線で示す断面における断面図である。

【図 6】

本発明の第 3 の実施形態の高周波スイッチ回路装置の回路構成を示す電気回路図である。

【図 7】

(a), (b) は、それぞれ順に、第 3 の実施形態の n チャネル FET の平面図、及びVIIb-VIIb線で示す断面における断面図である。

【図 8】

従来の公報に記載されている高周波スイッチ回路の電気回路図である。

【図 9】

第 1, 第 2 の実施形態における固定用電圧供給ノードと接地との間に抵抗体を介在させた構造の例を示す図である。

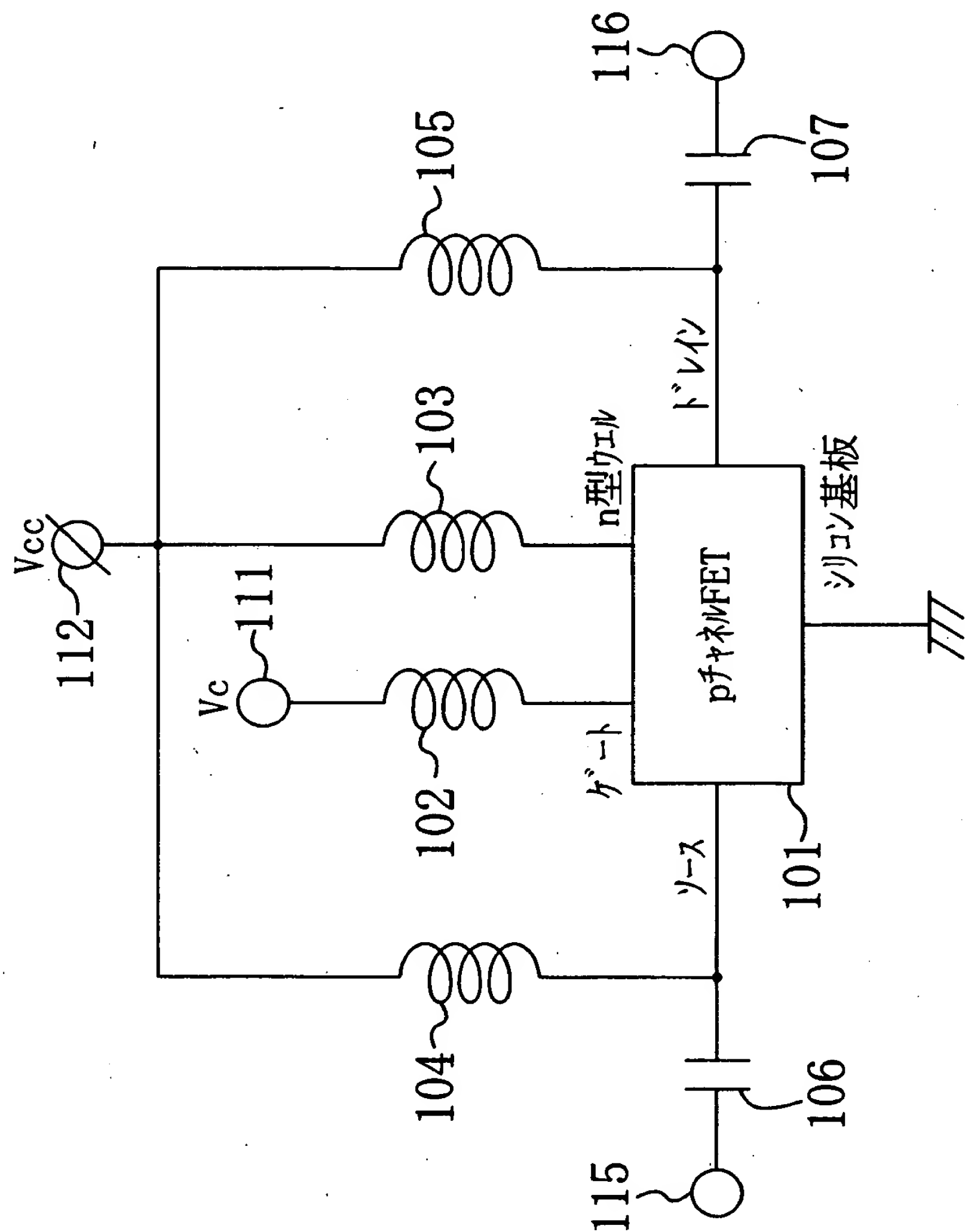
【符号の説明】

- 1 0 0 p 型シリコン基板
- 1 0 1 p チャネル F E T
- 1 0 2 ~ 1 0 5 インダクタ
- 1 0 6, 1 0 7 キャパシタ
- 1 1 1 制御電圧供給ノード
- 1 1 2 固定用電圧供給ノード
- 1 1 5 第 1 のノード
- 1 1 6 第 2 のノード
- 1 2 0 p 型シリコン基板配線

- 1 2 1 トレンチ分離絶縁層
- 1 2 2 n型ウェル層
- 1 2 3 ゲート酸化膜
- 1 2 4 ゲート電極
- 1 2 5 ソース層
- 1 2 6 ドレイン層
- 1 2 7 ソース配線
- 1 2 8 ドレイン配線
- 1 2 9 n型ウェル配線
- 1 3 1 埋め込み絶縁膜
- 1 4 0 p型シリコン基板
- 1 4 1 pチャネルFET
- 1 4 2 ~ 1 4 6 インダクタ
- 1 4 7, 1 4 8 キャパシタ
- 1 5 1 制御電圧供給ノード
- 1 5 2 固定用電圧供給ノード
- 1 5 5 第1のノード
- 1 5 6 第2のノード
- 1 6 0 p型シリコン基板配線
- 1 6 1 トレンチ分離絶縁層
- 1 6 2 p型ウェル層
- 1 6 3 ゲート酸化膜
- 1 6 4 ゲート電極
- 1 6 5 ソース層
- 1 6 6 ドレイン層
- 1 6 7 ソース配線
- 1 6 8 ドレイン配線
- 1 6 9 p型ウェル配線
- 1 7 1 n型ウェル

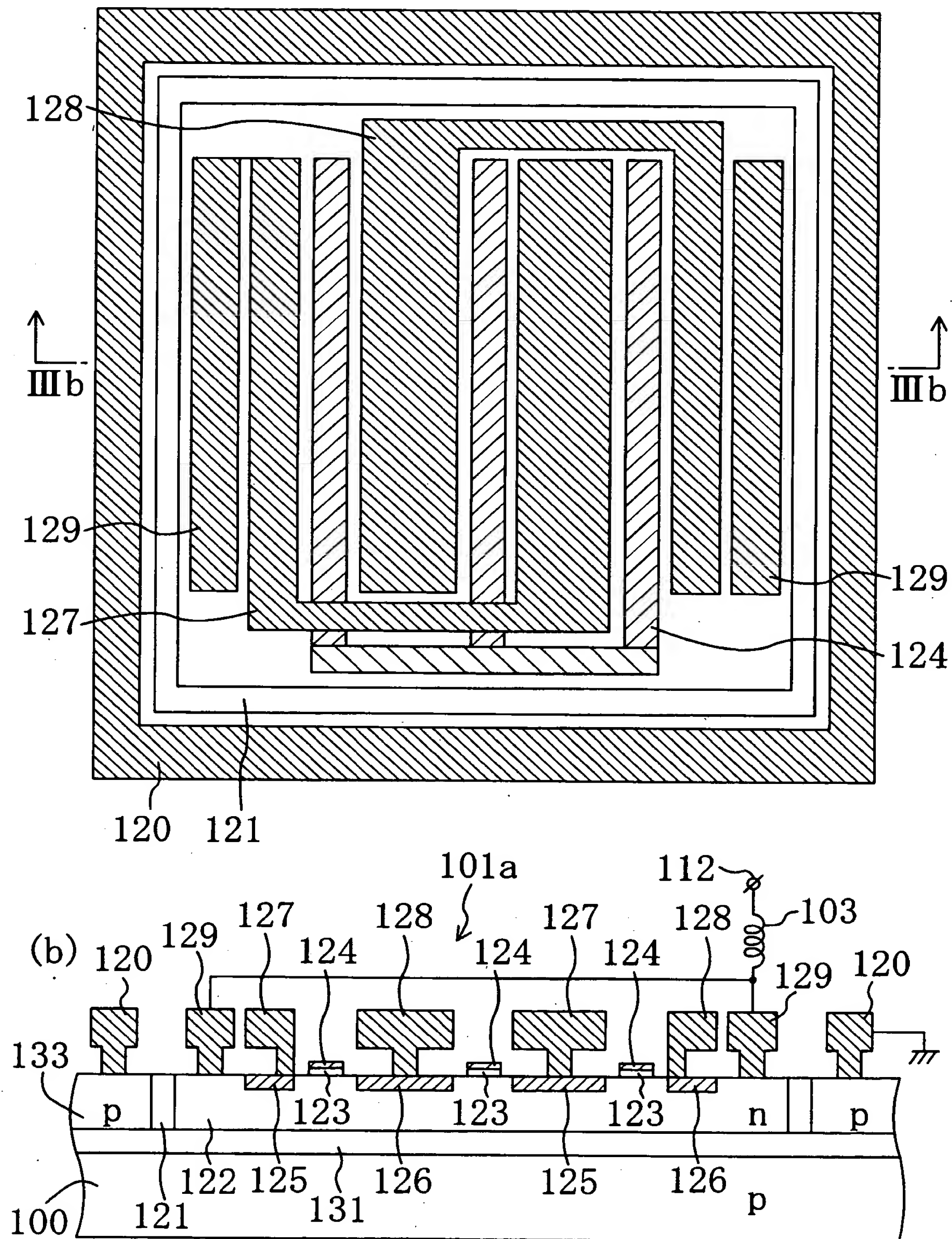
- 1 7 3 n 型 ウェル 配線
- 1 7 5 p 型 シリコン 層
- 1 7 6 埋め込み絶縁膜

【書類名】 図面
【図 1】

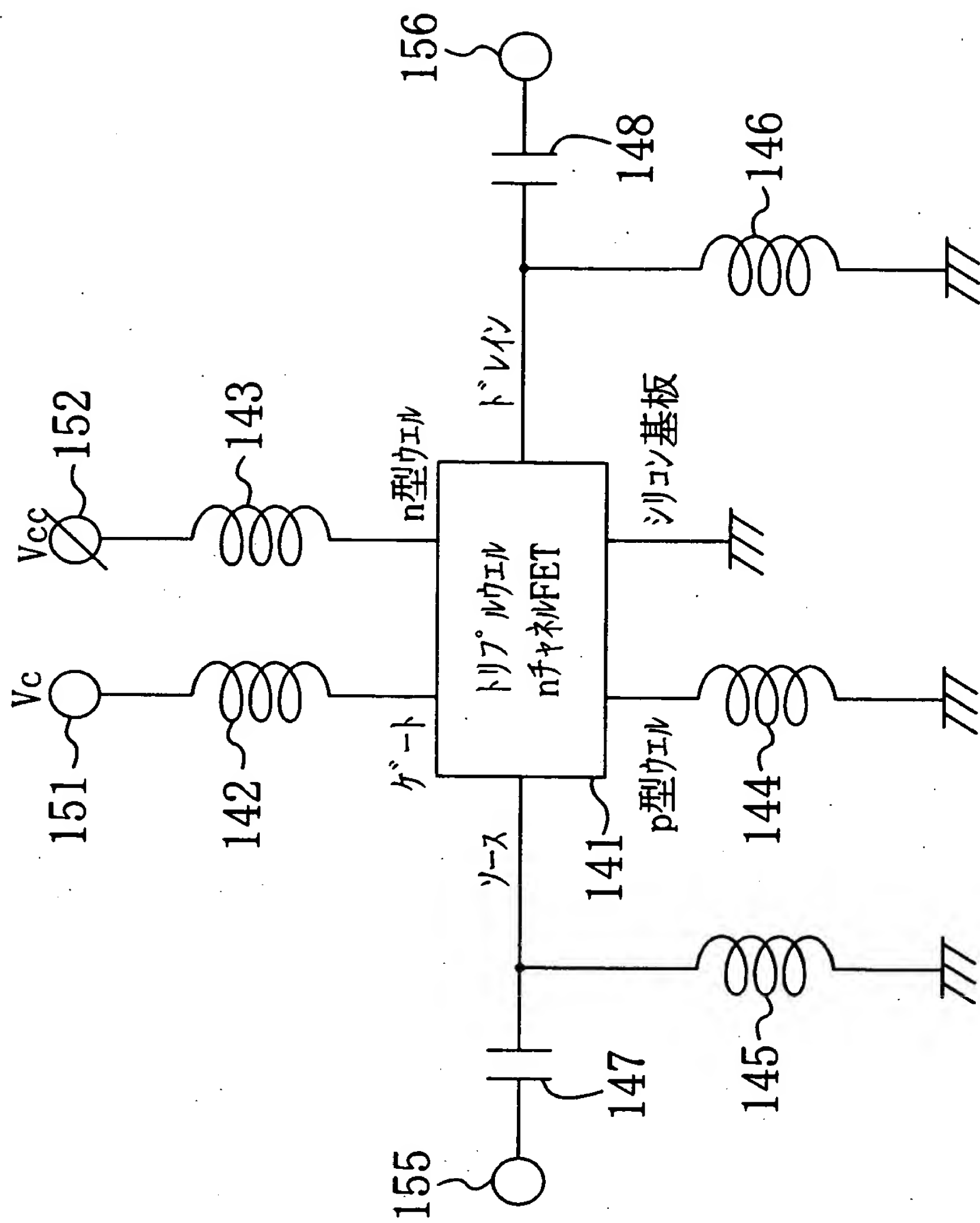


【図 3】

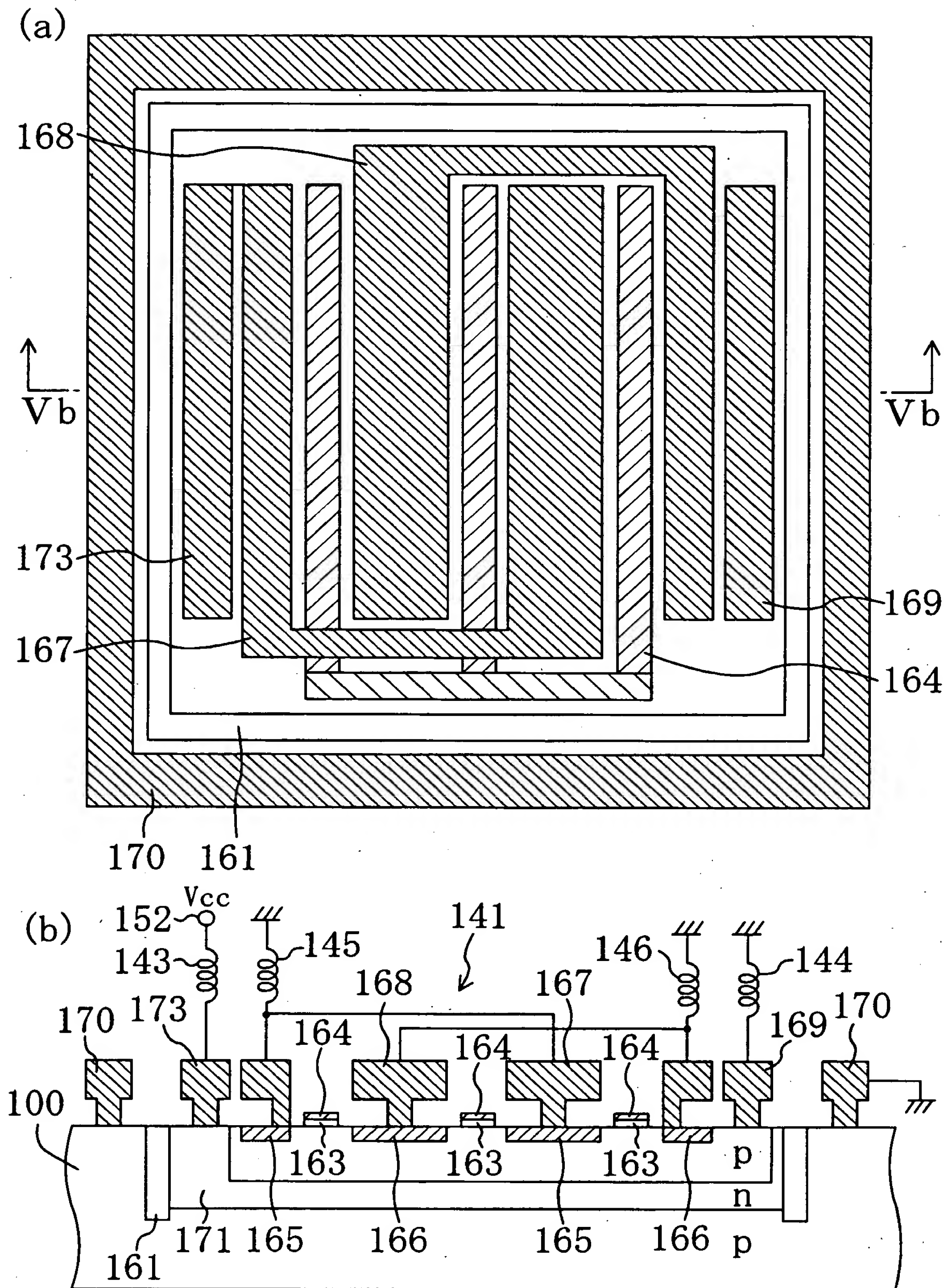
(a)



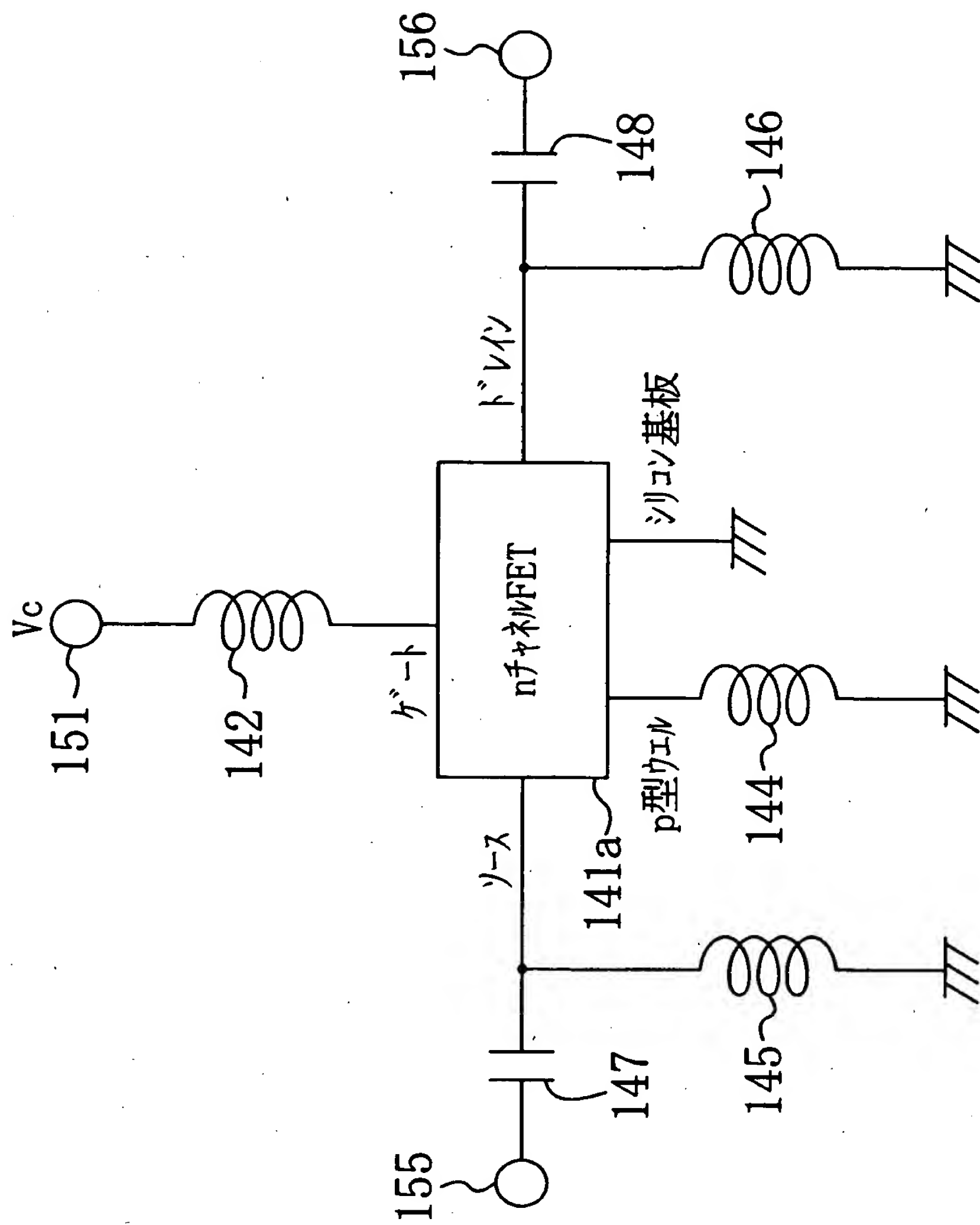
【図 4】



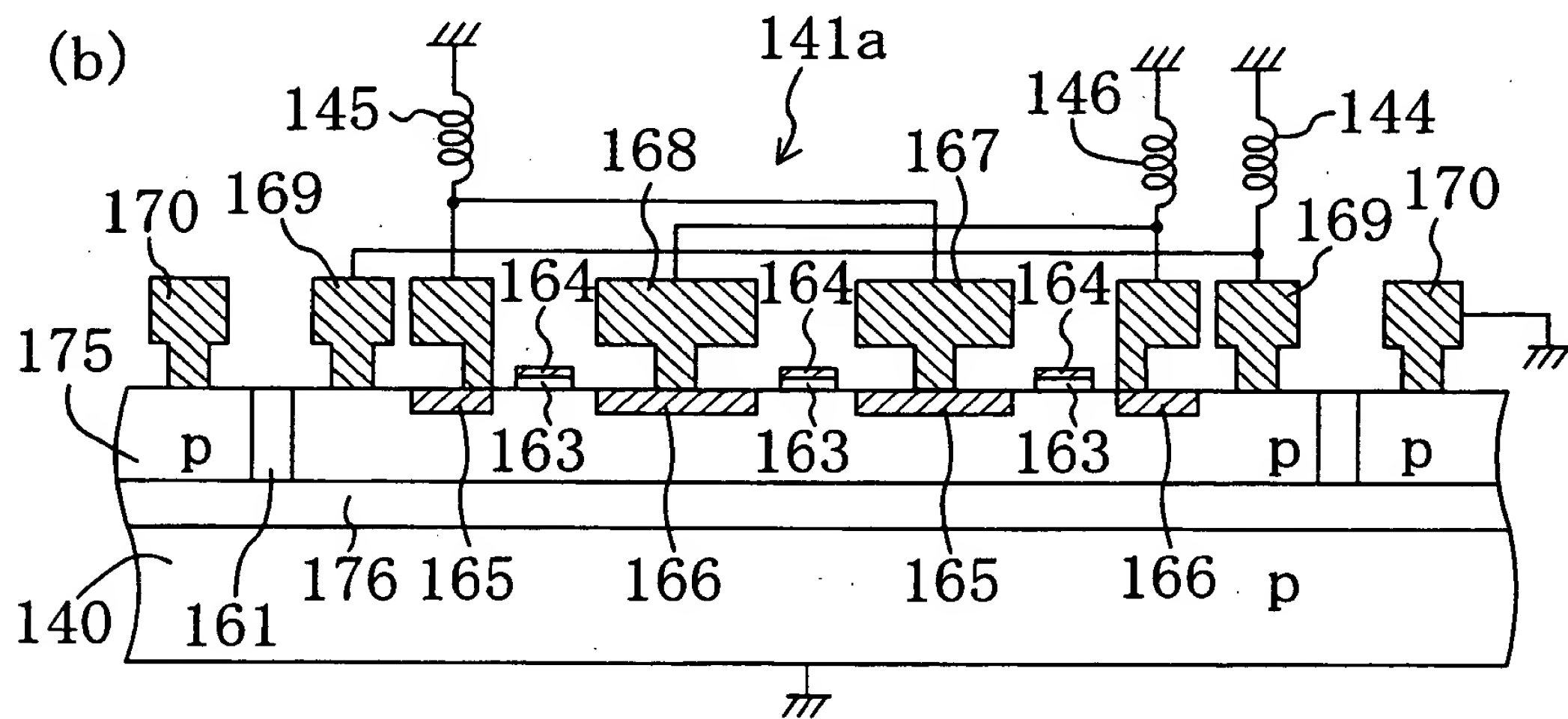
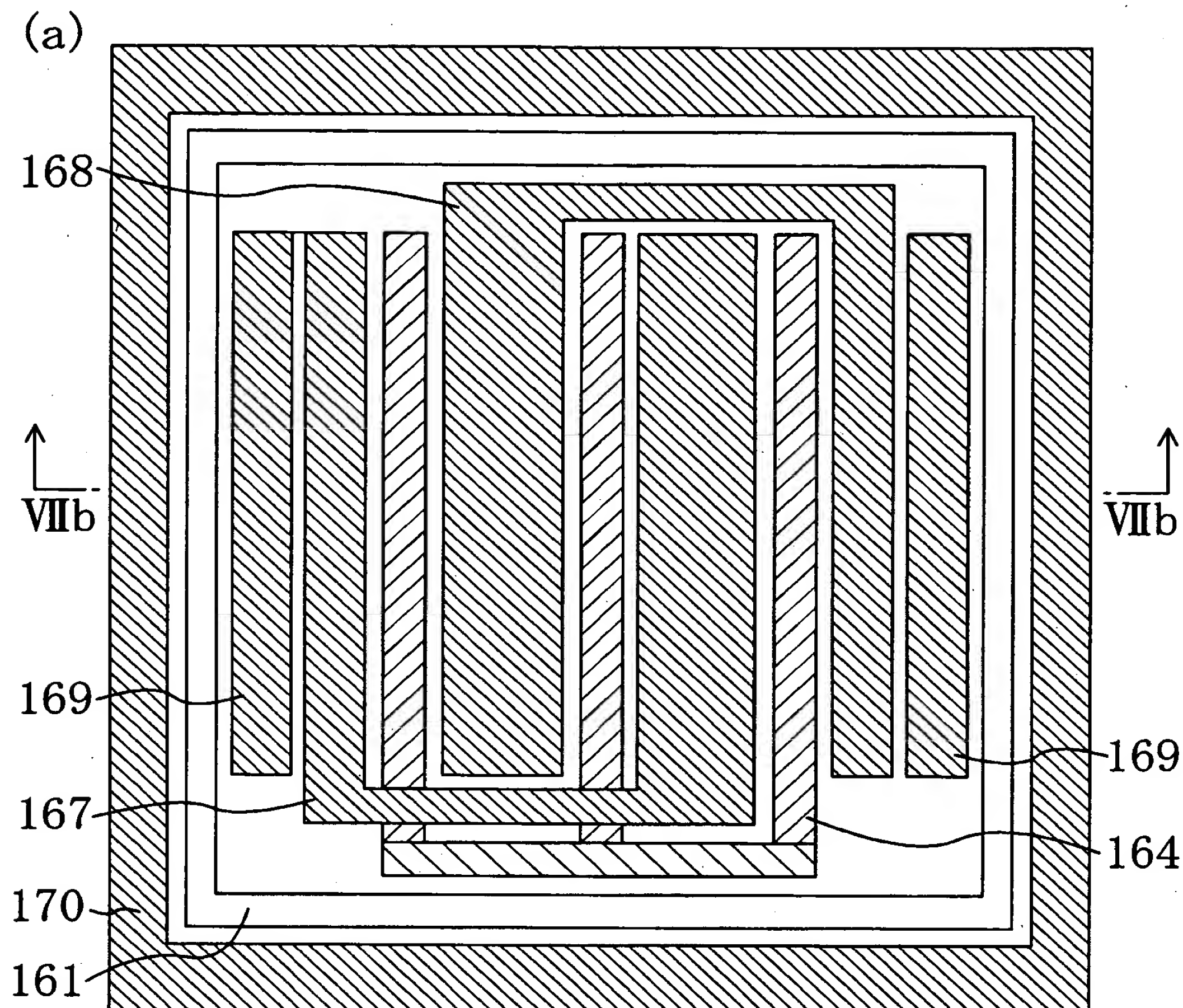
【図 5】



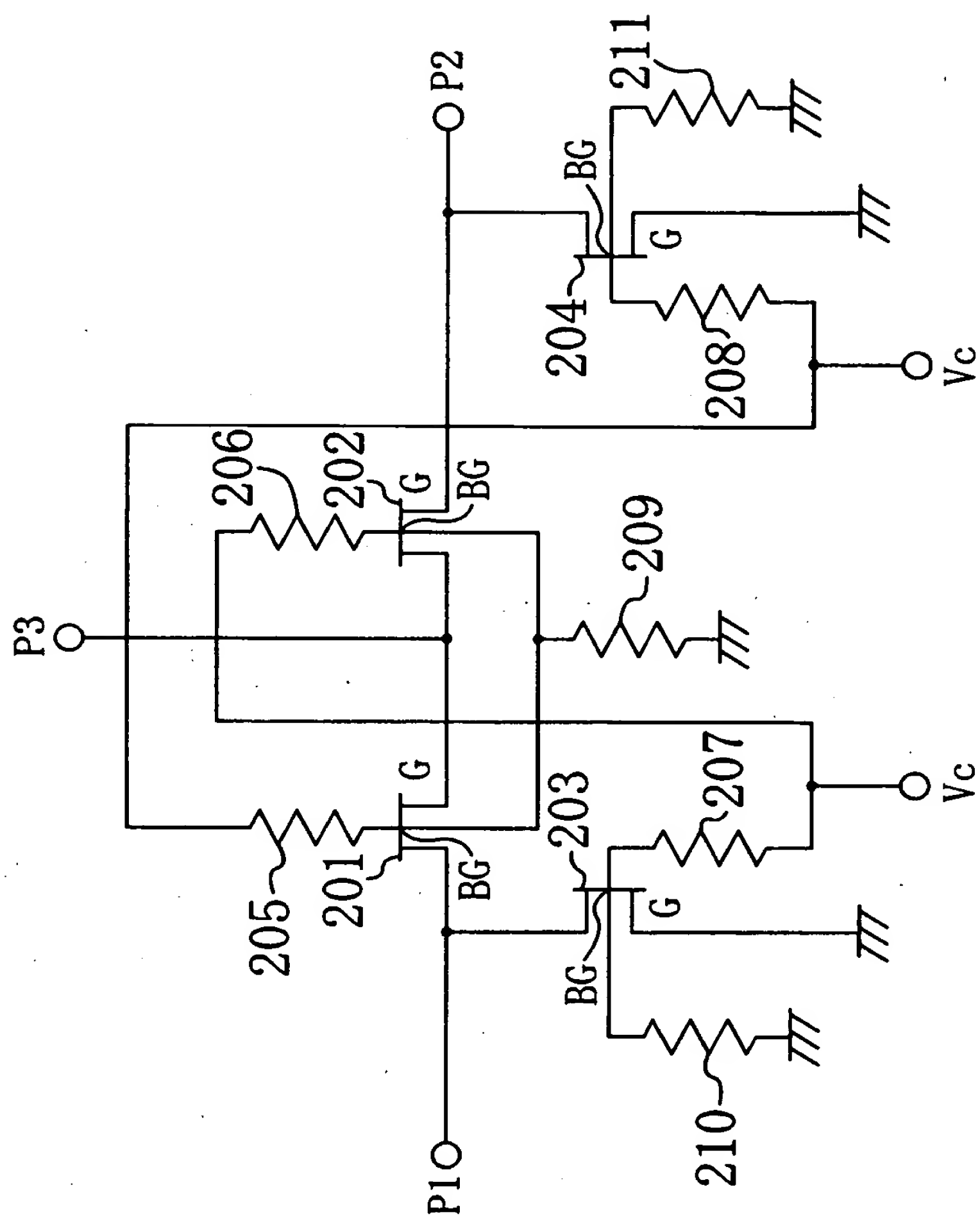
【図 6】



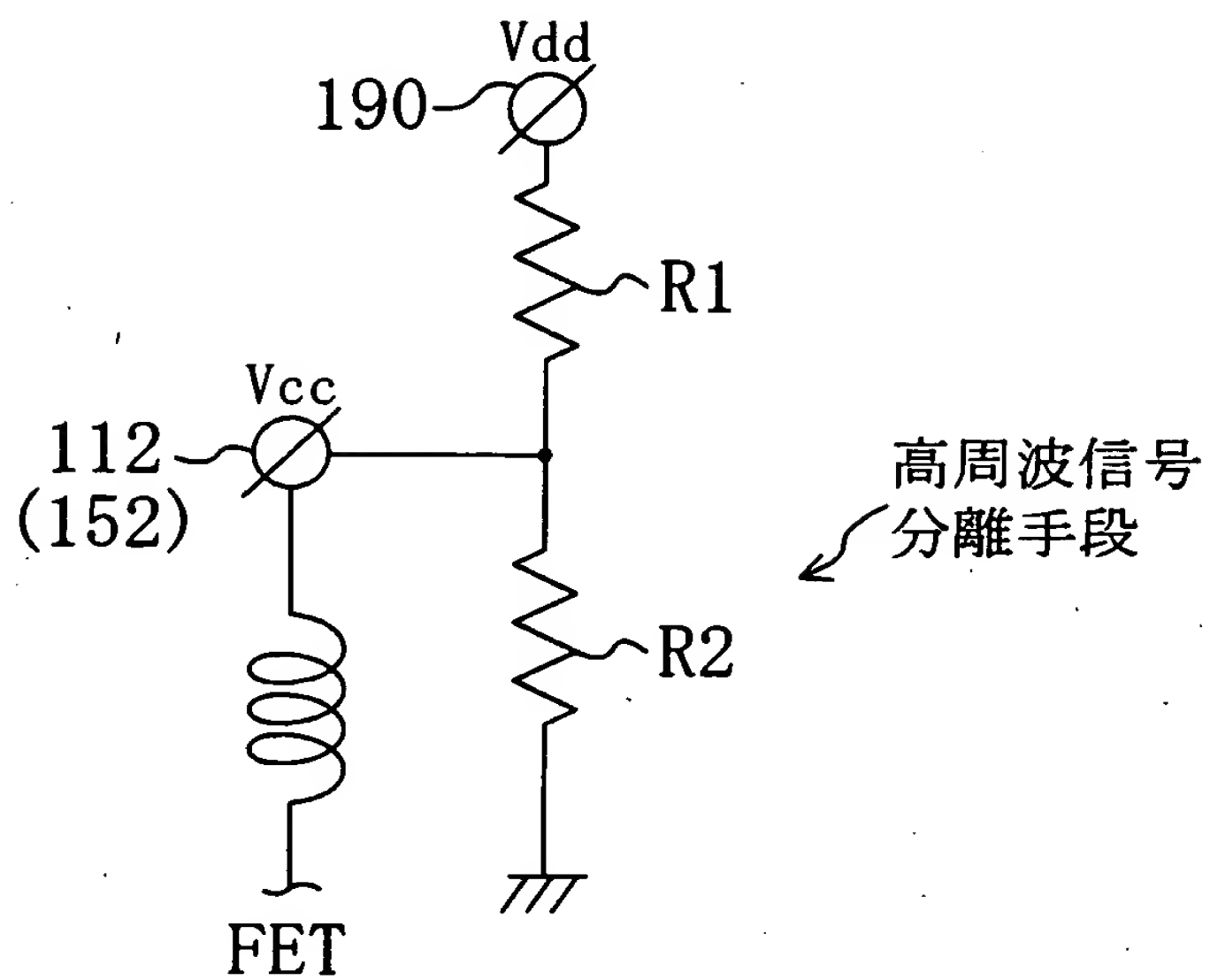
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 1つの半導体基板上に他の半導体回路と共に集積化した場合でも、高周波信号の透過損失の低減が可能な高周波スイッチ回路装置を提供する。

【解決手段】 高周波スイッチ回路装置は、p型シリコン基板100の上にスイッチング素子となるFET101を備えている。FET101は、n型ウェル122、ゲート電極124、ソース層125及びドレイン層126を有している。バックゲートとなるn型ウェル層122に接続されるn型ウェル配線129は、インダクタ103を介して電圧供給ノード112に接続されている。インダクタ103により、電圧供給ノードとn型ウェル層との間の高周波信号の流れを遮断し、n型ウェルとp型基板領域との間に広がる空乏層により縦方向における高周波信号の流れを遮断する。また、トレンチ分離絶縁層121により、横方向における高周波信号の流れを遮断する。

【選択図】 図2

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成13年 4月26日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-358775

【承継人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 中村 ▲邦▼夫

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成13年 4月16日付提出の特許番号第31505
60号の一般承継による特許権の移転登録申請書に添付
した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 5 8 4 3]

1. 変更年月日	1 9 9 3 年 9 月 1 日
[変更理由]	住所変更
住 所	大阪府高槻市幸町 1 番 1 号
氏 名	松下電子工業株式会社

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社